

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/10

H01L 27/108 H01L 21/8239

H01L 21/8242



[12] 发明专利申请公开说明书

[21] 申请号 02124394.8

[43] 公开日 2003 年 1 月 29 日

[11] 公开号 CN 1393931A

[22] 申请日 2002.6.21 [21] 申请号 02124394.8

[30] 优先权

[32]2001.6.25 [33]JP [31]2001-191524

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 长野能久 藤井英治

[74] 专利代理机构 中科专利商标代理有限责任公司

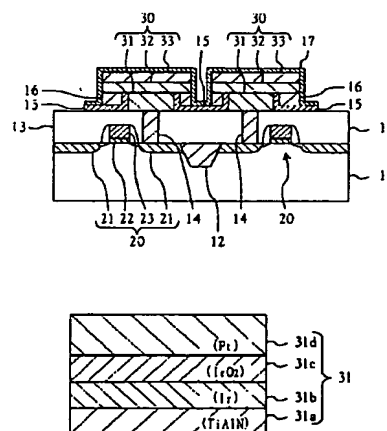
代理人 汪惠民

权利要求书 11 页 说明书 32 页 附图 17 页

[54] 发明名称 电容元件、半导体存储器及其制备方法

[57] 摘要

本发明的目的在于：维持好电容元件中的下方电极对氧的阻挡性，并防止电容元件中由金属氧化物制成的电容绝缘膜被还原。下方电极 31 的侧面被膜厚约从 5nm 到 100nm、由氧化铝制成且防止氧及氢扩散的第 1 绝缘性阻挡层 15 覆盖起来。上方电极 33 的上面、该上方电极 33、电容绝缘膜 32 及掩埋绝缘膜 16 的各个侧面被膜厚约从 5nm 到 100nm、由氧化铝制成且防止氢扩散的第 2 绝缘性阻挡层 17 覆盖起来。第 2 绝缘性阻挡层 17 在下方电极 31 两侧的区域和第 1 绝缘性阻挡层 15 相接触。



Best Available Copy

ISSN 1008-4274

结构剖面图。

图 12 (a) ~ 图 12 (c) 示出了本发明的第 4 个实施例所涉及的半导体存储器的主要部分, 图 12 (a) 为构成存储单元阵列的单元方块的平面图; 图 12 (b) 为沿图 12 (a) 中的XIIb—XIIb 线剖开后的剖面图, 图 12 (c) 为沿图 12 (a) 中的XIIc—XIIc 线剖开后的剖面图。

图 13 (a) ~ 图 13 (c) 为表示本发明的第 4 个实施例所涉及的半导体存储器的制备方法且按图 12 (a) 中的XIIc—XIIc 线下的工序先后示出的结构剖面图。

图 14 (a) 及图 14 (b) 为表示本发明的第 4 个实施例所涉及的半导体存储器的制备方法且按图 12 (a) 中的XIIc—XIIc 线下的工序先后示出的结构剖面图。

图 15 为已往的半导体存储器的主要部分的结构剖面图。

图 16 (a) 及图 16 (b) 为示意结构剖面图, 示出了不良现象是如何发生在已往的半导体存储器中电容元件的下方电极的。

图 17 为示意结构剖面图, 示出了不良现象是如何发生在已往的半导体存储器中电容元件的电容绝缘膜的。

(第 1 个实施例)

参看附图, 对本发明的第 1 个实施例进行说明。

图 1(a) 示出了本发明的第 1 个实施例所涉及的含有电容元件的半导体存储器的主要部分的剖面结构。

如图 1 (a) 所示, 第 1 个实施例所涉及的半导体存储器, 它包括: 多个由形成在由硅 (Si) 制成的半导体衬底 11 上的 MOSFET 构成的单元晶体管 20、形成在覆盖各个单元晶体管 20 的层间绝缘膜 13 上对每一个单元晶体管 20 的电容元件 30。各个单元晶体管 20 被形成在半导体衬底 11 上部的浅渠沟隔离 (STI) 12 隔离开, 相互绝缘。

各个单元晶体管 20, 它由形成在半导体衬底 11 上的源、漏电极区 21 和形成在半导体衬底 11 的沟道区且中间隔着栅极绝缘膜 22 的栅电极 23 构成。

每一个电容元件 30, 它由从衬底开始, 依次层叠起来的下方电极 31、电容绝缘膜 32 及上方电极 33 构成。

如图 1 (b) 所示, 是通过叠层以下各层而形成下方电极 31 的, 它们分别为: 膜厚约在 40nm~100nm 左右, 由氮化钛铝 (TiAlN) 制成且防止氧及氢扩散的第 1 导电性阻挡层 31a、膜厚约在 50nm~100nm 左右, 由铱 (Ir) 制成且防止氧扩散的第 2 导电性阻挡层 31b、膜厚约从 50nm 到 100nm、由二氧化铱 (IrO_2) 制成且防止氧扩散的第 3 导电性阻挡层 31c、膜厚约从 50nm 到 100nm、由白金 (Pt) 制成的导电层 31d。

电容绝缘膜 32 由膜厚约从 50nm 到 150nm、为铋层状钙钛矿结构的铋铈酸铋 ($\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ ($x: 0 \leq x \leq 1$)) 制成; 上方电极 33 由膜厚约从 50nm 到 150nm 的白金制成。

如图 1 (a) 所示, 半导体衬底 11 上形成了例如由氧化硅 (SiO_2) 制成的层间绝缘膜 13 来将各个单元晶体管 20 覆盖起来。在该层间绝缘膜 13 上, 形成了其下端部分和每一个单元晶体管 20 中之一进行电连接、其上端部分和每一个电容元件 30 的下方电极 31 电连接且由钨 (W) 或者多晶硅制成的多个接触柱塞 14。

下方电极 31 的侧面及层间绝缘膜 13 上下方电极 31 两侧的区域, 被例如膜厚约从 5nm 到 100nm、由氧化铝 (Al_2O_3) 制成且防止氧及氢扩散的第 1 绝缘性阻挡层 15 覆盖起来。

这里, 下方电极 31 在衬底面方向的尺寸比电容绝缘膜 32 及上方电极 33 在衬底面方向上的尺寸小, 因此, 电容绝缘膜 32 及上方电极 33 的周缘部从下方电极 31 的周缘部延伸出来。

下方电极 31 的两侧且电容绝缘膜 32 的露出部分下侧的那一区域被由氧化硅 (SiO_2) 或者氮化硅 (Si_3N_4) 制成的掩埋绝缘膜 16 埋起来。

掩埋绝缘膜 16 使相邻的下方电极 31 电气绝缘, 其表面被平坦化来使其高度和下方电极 31 的表面的高度几乎一样高。

需提一下, 电容绝缘膜 32、上方电极 33 及掩埋绝缘膜 16 皆用同一个光罩 (mask) 来蚀刻; 而第 1 绝缘性阻挡层 15 却用和上方电极 33 及电容绝缘膜 32 等不同的光罩来蚀刻。

上方电极 33 的上面及该上方电极 33、电容绝缘膜 32 及掩埋绝缘膜 16 的各个侧面, 被例如膜厚约从 5nm 到 100nm、由氧化铝制成且防止氢扩散的第 2 绝缘性阻挡层 17 覆盖起来。此时, 第 2 绝缘性阻挡层 17 在下

方电极 31 两侧的区域亦即掩埋绝缘膜 16 的下部两侧的区域和绝缘性阻挡层 15 的上面相接触。结果, 下方电极 31 的侧面被防止氧及氢扩散的第 1 绝缘性阻挡层 15 覆盖起来。再就是, 上方电极 33、电容绝缘膜 32 及掩埋绝缘膜 16 被防止氧及氢扩散的第 1 绝缘性阻挡层 15 和防止氢扩散的第 2 绝缘性阻挡层 17 覆盖起来, 且不留缝隙。

需提一下, 这里, 在电容元件 30 以外的区域、例如对源、漏电极区 21 形成的接触孔的区域, 没形成第 1 绝缘性阻挡层 15 及第 2 绝缘性阻挡层 17。

下面, 对按上述构成的含有电容元件的半导体存储器的制备方法进行说明。

图 2(a) ~ 图 2(c) 及图 3(a)、图 3(b) 按本发明的第 1 个实施例所涉及的半导体存储器的制备方法下的工序先后示出了剖面结构。

首先, 如图 2(a) 所示, 在由硅制成的半导体衬底 11 上, 形成栅极绝缘膜 22 及栅电极 23, 再在栅极绝缘膜 22 及栅电极 23 的侧面上形成侧壁绝缘膜 24。接着, 以栅电极 23 及侧壁绝缘膜 24 为屏蔽来将杂质注入到半导体衬底 11 中而形成源、漏电极区 21。这里, 若在形成侧壁绝缘膜 24 之前也进行杂质注入处理, 就可使源、漏电极区 21 为 LDD 结构或者延伸(extension)结构。之后, 再利用 CVD 法在半导体衬底 11 上包括多个单元晶体管 20 的那一整个面上沉积由氧化硅制成的层间绝缘膜 13。接着, 再利用化学机械研磨(CMP)法等将所沉积的层间绝缘膜 13 的上面平坦化。接着, 利用光刻法及干刻法, 在层间绝缘膜 13 上分别对应于每个单元晶体管 20 的源、漏电极区 21 中之一个区上形成接触孔, 再利用 CVD 法沉积由钨或者多晶硅制成的导体膜来把各个接触孔填好。接着, 再利用回蚀法或者化学机械研磨法加工已沉积的导体膜来将层间绝缘膜 13 上的导体膜除去, 这样来形成多个接触柱塞 14。

其次, 例如用溅射法在包括已形成的多个接触柱塞 14 的层间绝缘膜 13 上, 依次沉积防止氧及氢扩散且由氮化钛铝制成的第 1 导电性阻挡层、防止氧扩散且由铌制成的第 2 导电性阻挡层、防止氧扩散且由二氧化铌制成的第 3 导电性阻挡层、以及由白金制成的导电层, 这样来形成下方电极形成膜。接着, 再利用蚀刻法及干刻法在包含着接触柱塞 14 的状态下把

下方电极形成膜图案化而由它形成多个下方电极 31。之后,再利用溅射法或者 CVD 法,在层间绝缘膜 13 上形成膜厚约从 5nm 到 100nm、由氧化铝制成且能防止氧及氢扩散的第 1 绝缘性阻挡层 15,来把下方电极 31 的上面及侧面覆盖起来。这里,若在形成第 1 绝缘性阻挡层 15 之后,在氧化性气氛下进行热处理,构成第 1 绝缘性阻挡层 15 的氧化铝就能被致密化。因此,最好是进行热处理。接着,用以甲烷为原料、含氢气氛下的 CVD 法,沉积膜厚约从 400nm 到 600nm 且由氧化硅或者氮化硅制成的掩埋绝缘膜 16 来把第 1 绝缘性阻挡层 15 覆盖起来。

其次,如图 2(b)所示,用 CMP 法对掩埋绝缘膜 16 及第 1 绝缘性阻挡层 15 进行平坦化处理来让各个下方电极 31 露出来,这样由掩埋绝缘膜 16 将每个下方电极 31 的周围埋起来。于是,下方电极 31 的上面的高度和掩埋绝缘膜 16、第 1 绝缘性阻挡层 15 所露出的那一个面的高度几乎一样高。

其次,如图 2(c)所示,用金属有机分解法(MOD 法)、金属有机化学气相沉积法(MOCVD 法)或者溅射法,在第 1 绝缘性阻挡层 15、掩埋绝缘膜 16 及下方电极 31 这个整个面上,形成膜厚约从 50nm 到 150nm、由层状钙钛矿结构的钽铌酸锶铋($\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$)制成的电容绝缘膜形成膜 32A。接着,利用溅射法,在电容绝缘膜形成膜 32A 上形成膜厚约从 50nm 到 150nm、由白金制成的上方电极形成膜 33A。之后,在温度在 650~800℃之间的氧气气氛下进行热处理,来让构成电容绝缘膜形成膜 32A 的金属氧化物晶化。

其次,如图 3(a)所示,利用光刻法在上方电极形成膜 33A 上形成光阻图案(未示),再以所形成的光阻图案为屏蔽依次对上方电极形成膜 33A、电容绝缘形成膜 32A 及掩埋绝缘膜 16 进行干刻处理,而由上方电极形成膜 33A 形成上方电极 33;由电容绝缘膜形成膜 32A 形成电容绝缘膜 32。这样,即形成了由和接触柱塞 14 电连接的下方电极 31、电容绝缘膜 32 及上方电极 33 构成的电容元件 30。

这里,不图案化第 1 绝缘性阻挡层 15,在蚀刻掩埋绝缘膜 16 的过程中第 1 绝缘性阻挡层 15 露出来的那一时刻结束蚀刻。

其次,如图 3(b)所示,用 CVD 法或者溅射法,在第 1 绝缘性阻挡

层 15 上形成第 2 绝缘性阻挡层 17, 它覆盖上方电极 33 的上面及侧面、电容绝缘膜 32 及掩埋绝缘膜 16 的侧面, 它的膜厚约从 5nm 到 100nm, 由氧化铝制成且能防止氢扩散。这样, 第 2 绝缘性阻挡层 17 就在下方电极 31 两侧的区域, 这里为掩埋绝缘膜 16 下部两侧的区域, 和第 1 绝缘性阻挡层 15A 的端面相接触, 而不留缝隙。

需提一下, 第 1 绝缘性阻挡层 15 及第 2 绝缘性阻挡层 17 中电容元件 30 以外的区域, 即形成源、漏电极区 21 和其它接触孔的区域, 是通过蚀刻来将它们除掉的。

如上所述, 根据第 1 个实施例, 防止氧及氢扩散的第 1 绝缘性阻挡层 15 将电容元件 30 的下方电极 31 的侧面覆盖起来, 故能防止构成下方电极 31 的氧阻挡层、即氧化铌等导电性氧化物被氢还原而使其对氧的阻挡性变坏。

还有, 防止氢扩散的第 2 绝缘性阻挡层 17 通过和防止氧及氢扩散的第 1 绝缘性阻挡层 15 相接触来将整个电容元件 30 覆盖起来, 且不留缝隙, 故能防止构成电容绝缘膜 32 的金属氧化物被氢还原而使电容元件 30 的电气特性变坏。

下面, 对第 1 个实施例所涉及的半导体存储器和已往的半导体存储器的电气特性进行比较。

首先, 示出对接触柱塞 14 和下方电极 31 的接触电阻的评价结果。

图 4 示出了所测得的在直径约 20.3cm (8 英寸) 的硅片面内的接触电阻的测量结果, 分第 1 个实施例和已往例这两种情况。如图 4 所示, 对已往例所涉及的半导体存储器来说, 接触电阻从 45Ω 到 700Ω , 波动范围很大。其原因如下: 已往例所涉及的下方电极 110 中的其阻挡氧作用的二氧化铌 (导电性氧化物) 被氢还原而使它对氧的阻挡性变坏, 在为使高介电材料或者铁电体晶化而进行高温氧退火处理时, 氧在下方电极 110 内部扩散而使接触柱塞 107 的表面氧化。而对第 1 个实施例所涉及的半导体存储器来说, 晶片面内的接触电阻在 $25\Omega \sim 35\Omega$ 这一范围内, 偏差极小, 且电阻值在 $25\Omega \sim 40\Omega$ 之间而实现了低电阻化。

其次, 示出了对第 1 个实施例所涉及的半导体存储器的抗还原性的评价结果。

图5示出了在对电容元件30进行400℃的氢退火处理之前、之后，该电容元件30的剩余极化值(2Pr)，该值用于进行评价电气特性的好坏。如图5所示，即使对第1个实施例所涉及的电容元件30进行氢退火处理，剩余极化特性也没什么变化，由此可知：彻底地防止了由氢造成的还原。这样，第1个实施例所涉及的电容元件及半导体存储器的电气特性就有了明显的上升。

(第1个实施例的变形例)

图6(a)~图6(c)分别表示本发明的第1个实施例所涉及的半导体存储器的第1~第3个变形例，且示出的是下方电极和覆盖下方电极的侧面的第1绝缘性阻挡层周围的剖面结构。

首先，如图6(a)中的第1个变形例所示，第1绝缘性阻挡层15中覆盖下方电极31的侧面的上端部分，并非一定要覆盖下方电极31的整个侧面，至少将由二氧化铌(导电性金属氧化物)制成的第3导电性阻挡层31c的侧面覆盖起来就行了。

此时的掩埋绝缘膜16的上面的高度，既可与第1绝缘性阻挡层15的上端一样高，如图6(a)中的第1个变形例所示；又可和下方电极31中的导电层31d的上面一样高，如图6(b)中的第二个变形例所示；还可比第1绝缘性阻挡层15上端低。

(第2个实施例)

下面，参看附图，说明本发明的第2个实施例。

图7示出了本发明的第2个实施例所涉及的包括电容元件的半导体存储器的主要部分的剖面结构；用同一个符号来表示图7中和图1所示的构成要素相同的构成要素，省略说明。

如图7所示，在第2个实施例中，第2绝缘性阻挡层17直接形成在层间绝缘膜13上，第1绝缘性阻挡层15A在沿栅电极长度方向相邻的电容元件30之间被分开了。

图8(a)及图8(b)示出了第2个实施例所涉及的半导体存储器的制备方法下的主要工序。

这里，仅说明和第1个实施例不一样的地方。

如图3(a)所示，在第1个实施例中，在用同一个光罩对构成电容元

图 2(a)

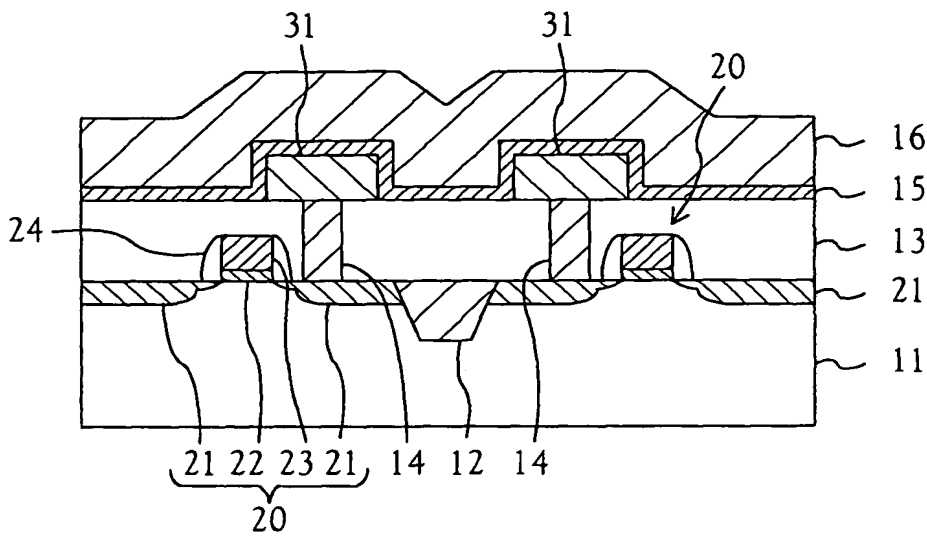


图 2(b)

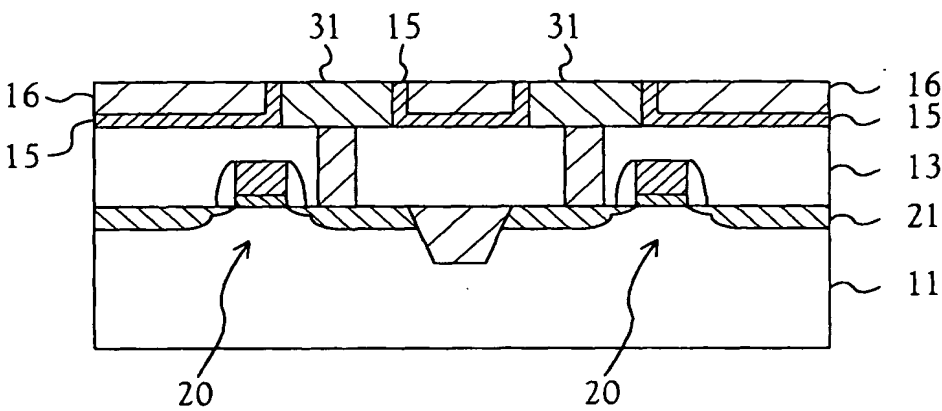
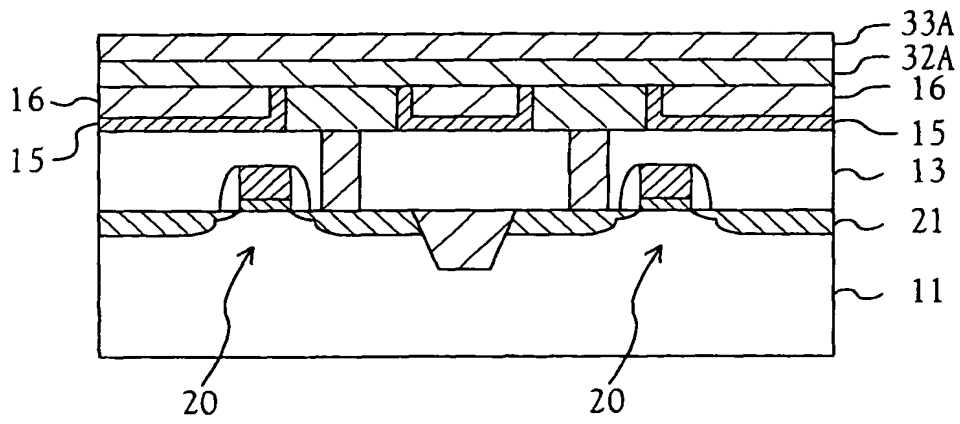


图 2(c)



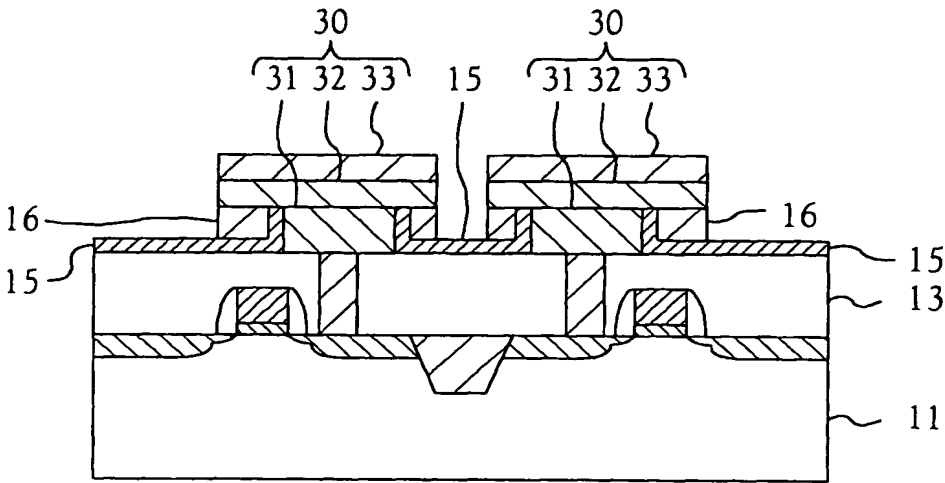


图 3(a)

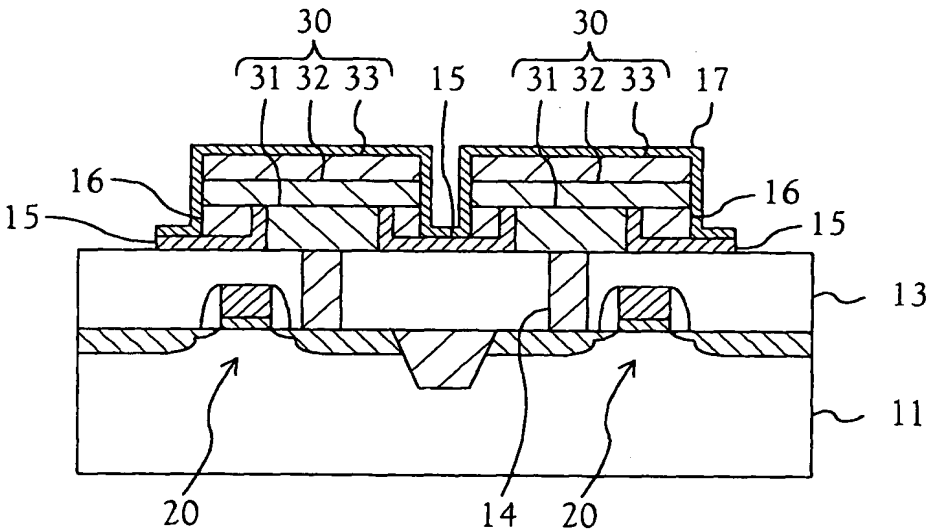


图 3(b)

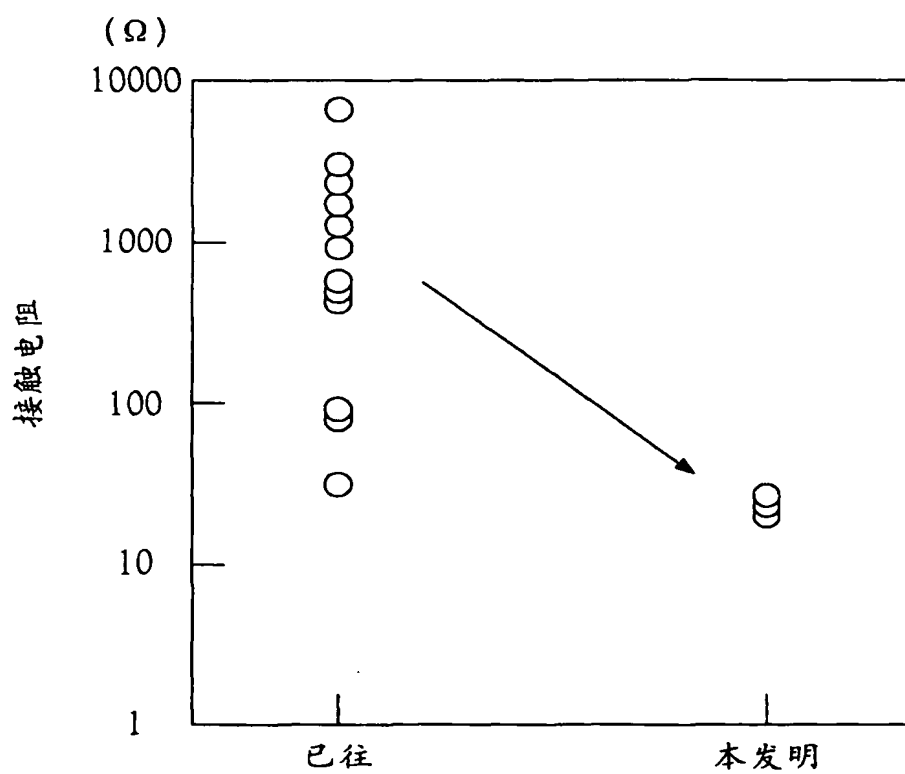


图 4

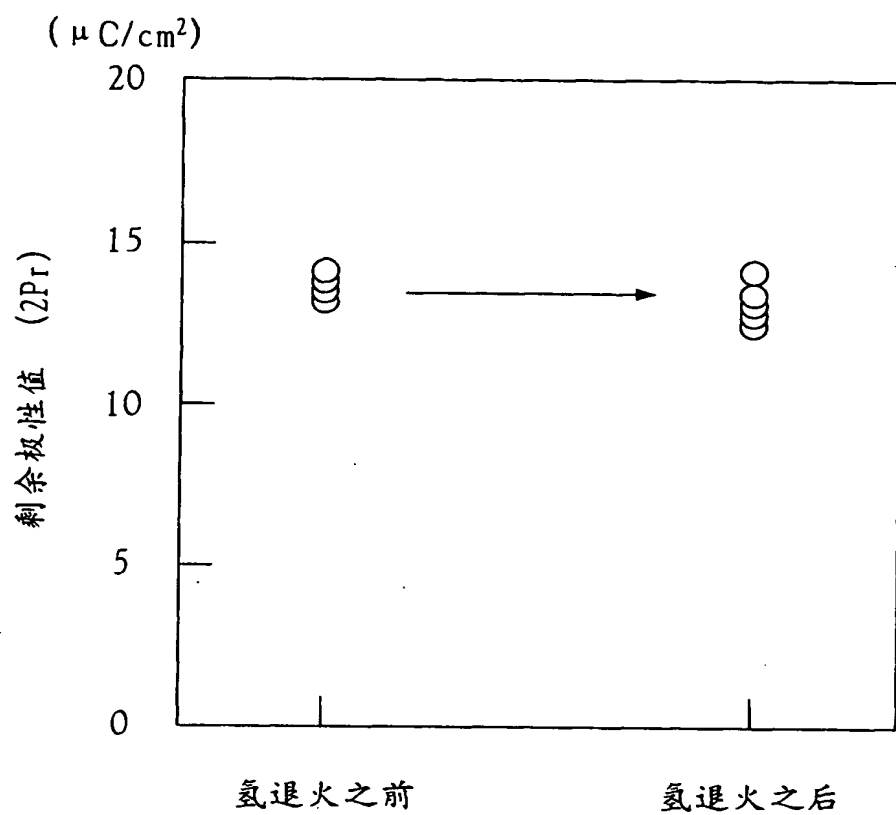


图 5

图 6(a)

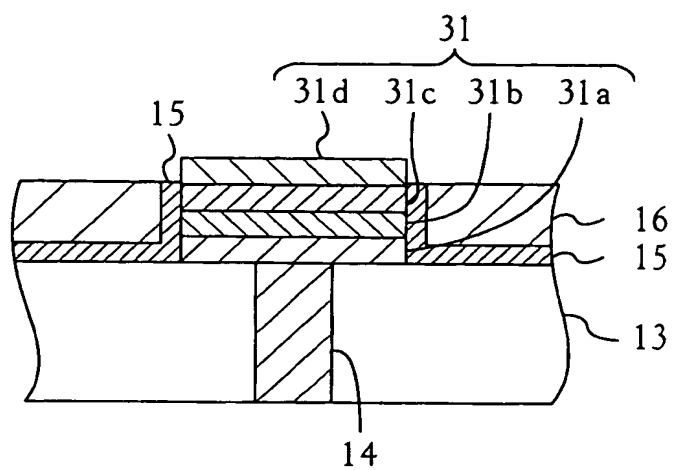


图 6(b)

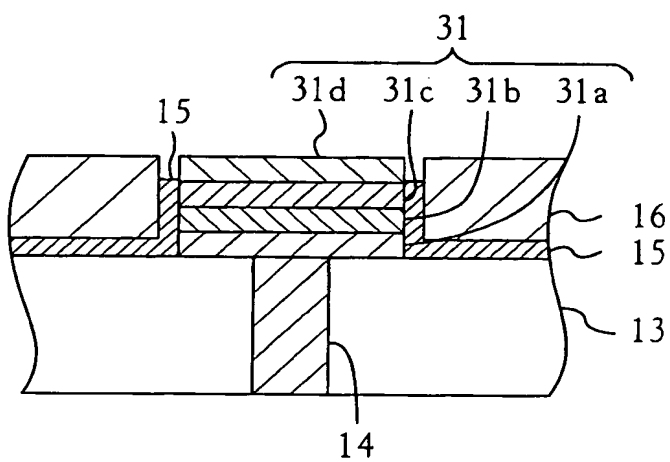


图 6(c)

